

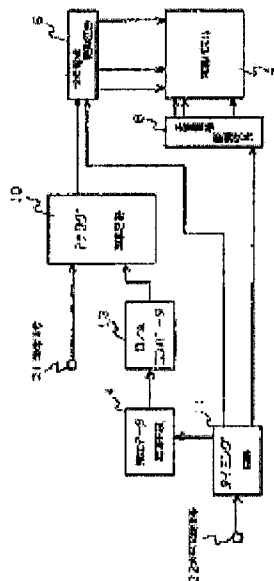
LIQUID CRYSTAL DISPLAY DEVICE**Publication number:** JP4142591**Publication date:** 1992-05-15**Inventor:** KOMENO KUNIO**Applicant:** SEIKO EPSON CORP**Classification:****- international:** **G02F1/133; G09G3/36; G02F1/13; G09G3/36; (IPC1-7):**
G02F1/133; G09G3/36**- European:****Application number:** JP19900266951 19901004**Priority number(s):** JP19900266951 19901004

Report a data error here

Abstract of JP4142591

PURPOSE:To reduce an irregularity in the brightness of longitudinal stripes formed in an image on a liquid crystal panel by adding data read out of a storage means to a video signal and then inputting the resulting data to a signal electrode driving integrated circuit.

CONSTITUTION:A timing circuit 11 generates timing required for the correction data storage means 4, the signal electrode driving circuit 6, and a scanning electrode driving circuit 8. The storage means 4 is stored with correction data and correction data in 1:1 relation with the output terminals of the circuit 6 are read out at almost the same timing with clock pulses of the circuit 6. The read data are converted by a D/A converter 13 into analog data, which are added to the video signal 21 by an analog adding circuit 10, whose output is inputted to the circuit 6. For the purpose, data for canceling variance in DC bias voltage by the output terminals of the circuit 6 are stored in the storage means 4 previously and the circuit 10 outputs a video signal after the variance is corrected.



Data supplied from the esp@cenet database - Worldwide

Family list

1 family member for: **JP4142591**

Derived from 1 application

[Back to JP414259](#)

1 LIQUID CRYSTAL DISPLAY DEVICE

Inventor: KOMENO KUNIO

Applicant: SEIKO EPSON CORP

EC:

IPC: *G02F1/133; G09G3/36; G02F1/13* (+3)

Publication info: **JP4142591 A** - 1992-05-15

Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-142591

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月15日

G 09 G 3/36
G 02 F 1/133

5 5 0

7926-5G
8806-2K

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 液晶表示装置

⑰ 特 願 平2-266951

⑱ 出 願 平2(1990)10月4日

⑲ 発 明 者 米 野 邦 夫 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑳ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

㉑ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1、発明の名称

液晶表示装置

2、特許請求の範囲

液晶パネルを用いた映像信号表示装置の映像信号処理回路において、信号電極駆動回路の書き込みクロックと同期して補正データが読み出される記憶手段と、映像信号に前記読み出されたデータを加算する加算手段とをそなえ、当該加算手段の出力信号が直接または間接的に信号電極駆動回路へ入力される構成を特徴とする液晶表示装置。

3、発明の詳細な説明

[産業上の利用分野]

本発明は、映像信号を表示する液晶パネルの信号電極を駆動する、信号電極駆動回路の出力の直流バイアスのばらつきを補正する信号処理回路に関する。

[従来の技術]

マトリクス状に構成された液晶パネルの各画素ごとにトランジスタ等の能動素子をそなえた、アクティブマトリクスと称される液晶パネルは、一般に第4図に示す回路で駆動される。タイミング回路54では、信号電極駆動回路51のシフトレジスタ(図示せず)を動作させるクロック58と、走査電極駆動回路52のシフトレジスタ(図示せず)を動作させるクロック(図示せず)と、両シフトレジスタのスタートタイミングを決めるスタートパルス(図示せず)を発生する。映像信号59は信号電極駆動回路51を通して信号電極57に現れ、走査電極駆動回路52によって選択された、液晶パネル53のオン状態の画素トランジスタ55を通して画素容量56に充電される。この充電電圧によってその画素の光の透過率または反射率がコントロールされる。

信号電極駆動回路51には、一般に、第5図に示す点順次書き込みと称される方式や、第6図

に示す線順次書き込みと呼称される方式が用いられる。第5図の点順次書き込み方式では、トランジスタで作られたスイッチ60が時系列に、順に1回路だけがオンするように、スイッチングされ、信号電極57に接続された画素容量を順に充電する。第6図の線順次書き込み方式では、スイッチa61は第5図の場合と同様に時系列に、順に1回路だけがオンするようにスイッチングされ、コンデンサ63を順に一旦充電する。その後、例えば映像信号の水平ブランキング期間に、該期間と幅がほぼ等しい書き込みパルス64によってスイッチb62が一斉にオンし、信号電極57に接続されたオン状態の画素トランジスタに接続されている画素容量を充電する。ここで、書き込みパルス64は、第3図のタイミング回路54で作ることができる。一般に、線順次書き込み方式では点順次書き込み方式に比べて1個ごとの画素容量の充電期間を長くとれるため、液晶パネルに表示される画像のコントラストが良好となる。

上述の信号電極駆動回路は一般に集積回路化さ

データを加算する加算手段とをそなえ、当該加算手段の出力信号が直接または間接的に信号電極駆動回路へ入力される構成を特徴とする。

〔作用〕

本発明の上記の構成によれば、集積回路化された信号電極駆動回路の出力端子ごとのばらつきを補正するデータをあらかじめ記憶手段に記憶させておき、映像信号に前記記憶手段から読み出されたデータを加算してから前記集積回路化された信号電極駆動回路に入力するため、出力端子ごとの直流バイアス電圧のばらつきが原因となって液晶パネルの画像に生ずる縦縞状の明るさのむらを軽減することができる。

〔実施例〕

以下、この発明の実施例を図面を参照して説明する。

第1図は本発明の第一の実施例である。3は水平同期信号22から、A/Dコンバータ1、補正

れ、液晶パネルの水平方向の信号電極数、すなわち画素数と同じ数の出力端子か、あるいは複数の集積回路を並列に用いる場合には、信号電極数、すなわち画素数の整数分の一の数の出力端子をそなえている。

〔発明が解決しようとする課題〕

前記集積回路一個の出力端子数は、数十から百以上に及ぶが、集積回路の内部配線や製造上のばらつきのために、同一の集積回路においても、出力端子ごとに直流バイアス電圧が異なり、ばらつくことがあった。液晶パネルに表示される画像には、このばらつきが光の透過率、または反射率の違いとなって表れるため、縦縞状の明るさのむらが表れることがあった。

〔課題を解決するための手段〕

本発明の液晶表示装置は、信号電極駆動回路の書き込みクロックと同期して補正データが読み出される記憶手段と、映像信号に前記読み出された

データ記憶手段4、信号電極駆動回路6、および走査電極駆動回路8に必要なタイミングを作るタイミング回路である。1はA/Dコンバータで、タイミング回路3から送られるクロックパルス23によって映像信号21をデジタル化する。4は補正データを記憶する記憶手段であり、A/Dコンバータ1と同じタイミングで、信号電極駆動回路6の出力端子と1:1の関係にある補正データを読み出す。読み出されたデータは、上記A/Dコンバータ1でデジタル化された映像信号とデジタル加算回路2で加算され、D/Aコンバータ5でアナログ信号に戻され、信号電極駆動回路6に入力される。

第3図は、第1図の補正データ記憶手段4の具体例で、カウンタ11と、ROMまたはRAMのメモリ12から構成される。カウンタ11は、第1図のタイミング回路3からの読み出しのためのクロックパルスでカウントされ、水平同期信号22と同じ周期の該タイミング回路からのリセットパルスでリセットされる。該カウンタの出力はメ

モリのアドレスに与えられ、カウント値に対応したアドレスに書き込まれたデータが読み出される。

ここで、第1図において、信号電極駆動回路6の出力端子ごとの直流バイアス電圧のばらつきを打ち消すようなデータを、あらかじめ補正データ記憶手段4に記憶させておけば、D/Aコンバータ5の出力には、ばらつきの補正データを加算された映像信号が得られるため、信号電極駆動回路6を通して液晶パネル7の信号電極24に与えられる映像信号は信号電極駆動回路6のばらつきを打ち消されたものとなり、液晶パネル7の各画素に書き込まれる電圧は映像信号だけとなる。

第2図は本発明の第二の実施例である。11は水平同期信号22から、補正データ記憶手段4、信号電極駆動回路6、および走査電極駆動回路8に必要なタイミングを作るタイミング回路である。4は補正データを記憶する補正データ記憶手段であり、信号電極駆動回路6のクロックパルスとはほぼ同じタイミングで、同信号電極駆動回路6の出力端子と1:1の関係にある補正データを読み出

図。

第2図は本発明の第二の実施例を示すブロック図。

第3図は第1図および第2図の補正データ記憶手段の一例を示すブロック図。

第4図は液晶パネルの駆動方法を説明するためのブロック図。

第5図は第4図の信号電極駆動回路の一例である点順次方式を説明するための図。

第6図は第4図の信号電極駆動回路の別の例である線順次方式を説明するための図。

主要部分の符号の説明

- 1 A/Dコンバータ
- 2 デジタル加算回路
- 3、11 タイミング回路
- 4 補正データ記憶手段
- 5、13 D/Aコンバータ
- 6 信号電極駆動回路
- 7 液晶パネル

す。読み出されたデータは、D/Aコンバータ13でアナログ化され、映像信号21とアナログ加算回路10で加算され、信号電極駆動回路6に入力される。

ここで、信号電極駆動回路6の出力端子ごとの直流バイアス電圧のばらつきを打ち消すようなデータを、あらかじめ記憶手段4に記憶させておけば、アナログ加算回路10の出力には、ばらつきの補正された映像信号が得られる。

【発明の効果】

以上説明したように、本発明によると、信号電極駆動回路の出力端子ごとの直流バイアスの補正ができるため、当該直流バイアスが原因となって生じる縦縞状の明るさのむらを軽減することができる。

4. 図面の簡単な説明

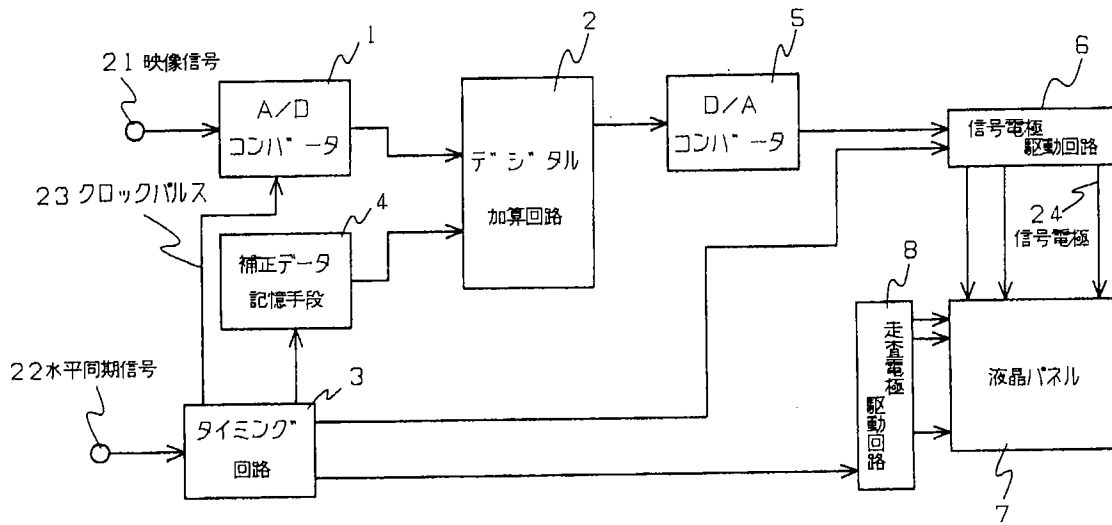
第1図は本発明の第一の実施例を示すブロック

- 10 アナログ加算回路
- 21 映像信号
- 22 水平同期信号
- 23 クロックパルス

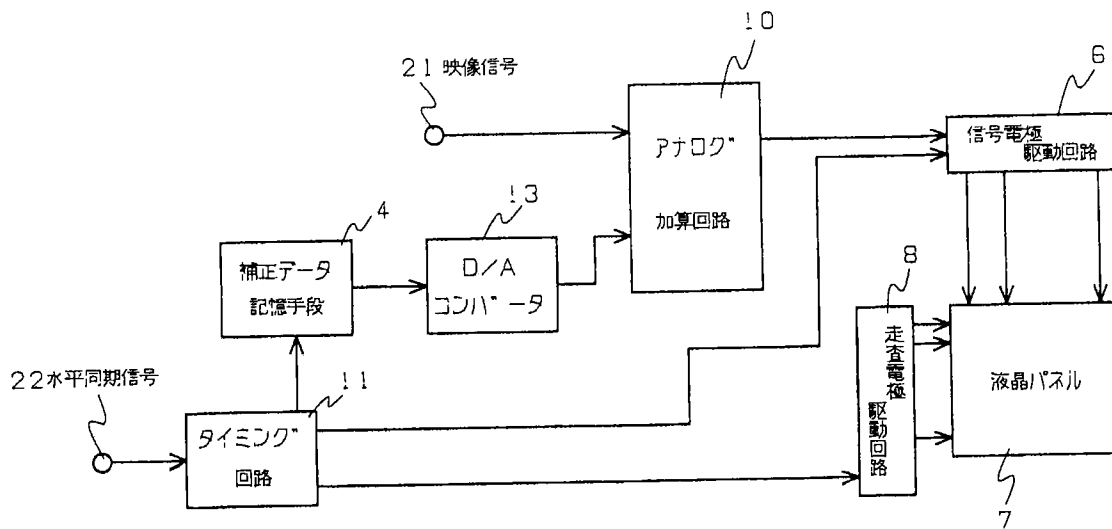
以 上

出願人 セイコーエプソン株式会社

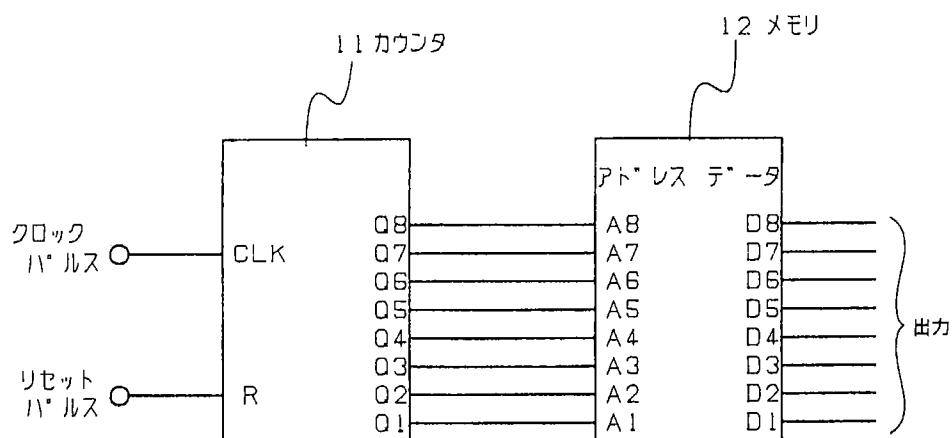
代理人 弁理士 鈴木 喜三郎(他1名)



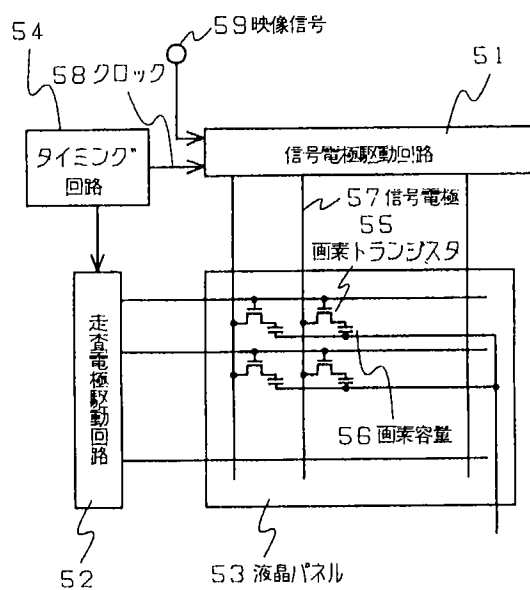
第1図



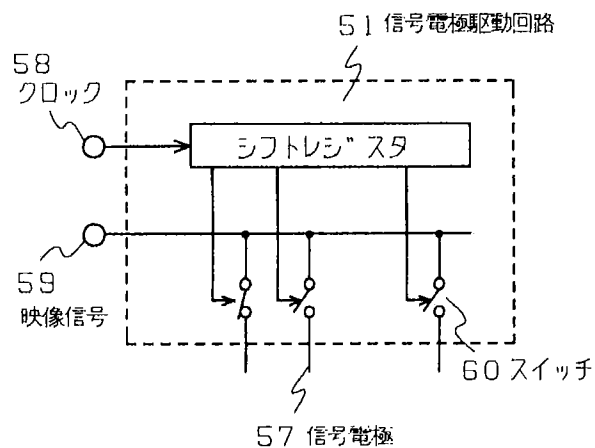
第2図



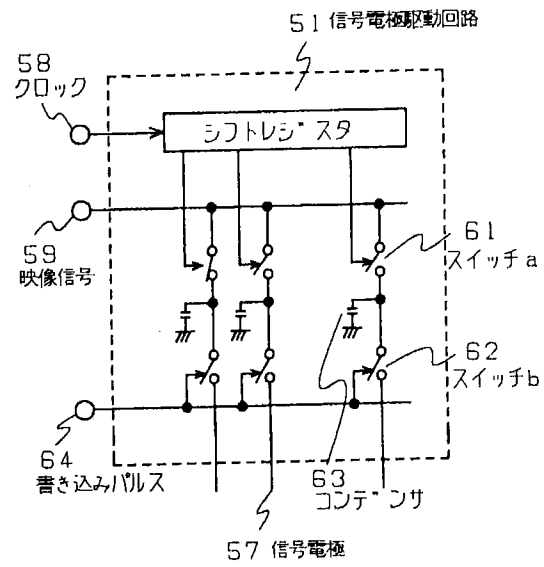
第3図



第4図



第5図



第6図